

Docket No. 219660US2S

2/ PD
Chrysa
4-10-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hisato OYAMATSU

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE HAVING PATTERNED SOI STRUCTURE AND METHOD FOR
FABRICATING THE SAME

Jc997 U.S. PTO
10/075465
02/15/02

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2001-392571

December 25, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Chrysa

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JPO997 U.S. PTO
10/075465



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年12月25日

出 願 番 号

Application Number:

特願2001-392571

[ST.10/C]:

[JP 2001-392571]

出 願 人

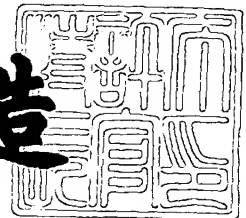
Applicant(s):

株式会社東芝

2002年 1月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3001580

【書類名】 特許願

【整理番号】 A000106742

【提出日】 平成13年12月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 21

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 親松 尚人

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の第 1 領域に、設けられた第 1 の半導体層と、
前記半導体基板の第 2 領域上に、絶縁膜を介在して設けられた第 2 の半導体層
と、

前記半導体基板の第 3 領域上に、前記絶縁膜及び前記第 2 の半導体層を介在し
て設けられた第 3 の半導体層と

を備え、前記第 3 領域内の第 3 の半導体層の上面の高さは前記第 2 領域内の第
2 の半導体層の上面の高さよりも高い

ことを特徴とする半導体装置。

【請求項 2】 前記第 2 領域内の第 2 の半導体層の上面の高さと、前記第 3
領域内の第 2 の半導体層の上面の高さとは、実質的に同一である

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 3 の半導体層上に設けられた MOS トランジスタと、
前記第 3 領域内の前記第 2 の半導体層上に前記第 3 の半導体層と離隔するよう
にして設けられ、前記第 2 の半導体層を介して前記第 3 の半導体層に電氣的に接
続された第 4 の半導体層と

を更に備えることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記第 2 領域内の前記第 2 の半導体層上に設けられ、前記絶
縁膜に達するソース・ドレイン領域を有する MOS トランジスタを更に備え、

前記第 3 の半導体層上に設けられた前記 MOS トランジスタのソース・ドレイ
ン領域の底部は、前記第 2 または第 3 の半導体層内に存在し、前記第 4 半導体層
から前記ソース・ドレイン領域直下の前記第 2 の半導体層を介して所定の電位が
与えられる

ことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 前記第 3 の半導体層内に設けられ、且つ前記第 2 または第 3
の半導体層内に底部が存する素子分離領域を更に備え、

前記第 3 の半導体層上に設けられた前記 MOS トランジスタは前記素子分離領

域によって取り囲まれており、前記第 4 半導体層から前記ソース・ドレイン領域及び前記素子分離領域直下の前記第 2 の半導体層を介して所定の電位が与えられる

ことを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記第 2 領域内の前記第 2 の半導体層上に設けられ、前記絶縁膜に達するソース・ドレイン領域を有する MOS トランジスタと、

前記第 3 の半導体層上に設けられ、前記絶縁膜に達するソース・ドレイン領域を有する MOS トランジスタと

を更に備えることを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 少なくとも前記第 1 の半導体層上に設けられた DRAM セルと、

前記第 2、第 3 の半導体層上に設けられ、前記 DRAM セルを制御するロジック回路と

を更に備えることを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 前記第 3 の半導体層の膜厚は、前記第 1 の半導体層と実質的に同一である

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 9】 前記第 3 の半導体層の膜厚は、前記第 1 の半導体層よりも小さい

ことを特徴とする請求項 1 記載の半導体装置。

【請求項 10】 前記第 2 の半導体層上に設けられた前記 MOS トランジスタは、部分空乏型である

ことを特徴とする請求項 4 記載の半導体装置。

【請求項 11】 前記第 2、第 3 の半導体層上に設けられた前記 MOS トランジスタは、それぞれ完全空乏型及び部分空乏型である

ことを特徴とする請求項 6 記載の半導体装置。

【請求項 12】 半導体基板の第 1 乃至第 3 領域上に第 1 絶縁膜、第 1 の半導体層、及び第 2 絶縁膜を順次形成する工程と、

前記第 1 領域の前記第 1 絶縁膜、第 1 の半導体層、及び第 2 絶縁膜、並びに前

記第 3 領域の前記第 2 絶縁膜を除去する工程と、

前記半導体基板の前記第 1 領域上、及び前記第 3 領域内の前記第 1 の半導体層上に第 2 の半導体層を選択的に形成する工程と、

前記第 2 絶縁膜を除去する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 1 3】 前記第 2 の半導体層を形成する工程の後、前記第 3 領域内の前記第 2 の半導体層の膜厚を測定する工程を更に備える

ことを特徴とする請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 4】 前記第 2 の半導体層を形成する工程の後、前記第 2 領域内の前記第 2 絶縁膜をストッパーに用いて、前記第 3 領域内の前記第 2 の半導体層を研磨する工程を更に備える

ことを特徴とする請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 5】 前記第 2 絶縁膜を除去する工程の後、前記第 1 の半導体層及び前記第 2 の半導体層上に半導体素子を形成する工程を更に備える

ことを特徴とする請求項 1 2 記載の半導体装置の製造方法。

【請求項 1 6】 前記第 1 の半導体層上に形成される前記半導体素子の少なくとも 1 つは全面空乏型の MOS トランジスタであり、前記第 3 領域内の前記第 2 の半導体層上に形成される前記半導体素子の少なくとも 1 つは部分空乏型の MOS トランジスタである

ことを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 7】 前記第 1 領域内の第 2 の半導体層に形成される前記半導体素子のいずれかは DRAM セルである

ことを特徴とする請求項 1 5 記載の半導体装置の製造方法。

【請求項 1 8】 前記膜厚を測定する工程は、光学的手法により、前記第 2 領域内の前記第 1 の半導体層の膜厚を測定する工程と、

光学的手法により、前記第 3 領域内の前記第 2 の半導体層及び前記第 1 の半導体層の積層膜厚を測定する工程と、

前記積層膜厚から前記第 1 の半導体層の膜厚を減算することにより前記第 2 の半導体層の膜厚を算出する工程と

を含むことを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 9】 前記第 2 の半導体層の膜厚を測定する工程は、前記第 2 の半導体層の膜厚の測定結果に基づいて、前記第 2 の半導体層を形成した成膜装置における次の成膜工程の成膜条件を最適化する工程を含む

ことを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 2 0】 前記第 2 絶縁膜は、前記第 2 の半導体層の堆積に対するマスク材として機能するものであり、前記第 2 半導体層の前記第 2 絶縁膜上への堆積を妨げる材料により形成される

ことを特徴とする請求項 1 2 記載の半導体装置の製造方法。

【請求項 2 1】 前記第 2 絶縁膜は、シリコン酸化膜またはシリコン窒化膜を材料として形成される

ことを特徴とする請求項 2 0 記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体装置及びその製造方法に関するもので、特にSOI(Silicon On Insulator)基板を用いたシステムLSIに用いられる技術に関するものである。

【 0 0 0 2 】

【従来の技術】

今日、コンピュータ、ネットワークの発達によりブロードバンド時代を迎えている。そして、ネットワーク上の大量のデータを処理するために、LSIには多様な半導体デバイスを高密度に集積する必要がある。このように高集積化が求められるLSIに、SOIを用いることが試みられている。SOIは、絶縁膜上にシリコン層を形成した構造として、従来から広く知られている。このSOI上に形成された半導体素子（SOI素子）は寄生容量が低く、高速動作が可能である。従って、SOI素子を用いることでLSIの更なる高性能化が実現できるものと期待されている。

【 0 0 0 3 】

例えば、SOI素子を用いたDRAM(Dynamic Random Access Memory)混載型のシステムLSIが提案されている。本提案は、例えばR.Hannonらによる、2000 Symposiu

m on VLSI Technology Digest of Technical Papers “0.25 μ m Merged Bulk DRAM and SOI Logic using Patterned SOI” に為されている。

【 0 0 0 4 】

ところで、システムLSIにおいては、SOI素子の使用の良否は回路毎に異なる。DRAM混載型のシステムLSIでは、少なくともDRAMセルにSOI素子を用いることは望ましくない。これはSOI素子が本来的に有する基板浮遊効果の為である。従って、DRAMセルは非SOI素子によって形成し、その他のデジタル動作を行うロジック回路はSOI素子によって形成することが望ましい。より具体的には、シリコン基板上に部分的にSOI領域を設け（この構造を以下では部分SOI構造と呼ぶ）、非SOI領域（バルク領域：bulk）にDRAMセルを、SOI領域に周辺回路を形成することが望ましい。

【 0 0 0 5 】

上記部分SOI構造の製造方法について、図18（a）乃至（d）を用いて説明する。図18（a）乃至（d）はそれぞれSOI構造の製造工程を順次示す断面図である。

【 0 0 0 6 】

まず図18（a）に示すように、SOI基板300上にシリコン酸化膜240を形成する。SOI基板300は、シリコン基板200、BOX（Buried Oxide）層210、及びSOI層220を有している。次に、シリコン酸化膜240上にレジスト250を塗布し、SOI領域とすべき領域にのみレジスト250を残存させる。次に図18（b）に示すように、レジスト250をマスクに用いて、バルク領域のシリコン酸化膜240、SOI層220、及びBOX層210をエッチングし、シリコン基板200を露出させる。その後レジスト250を除去する。次に図18（c）に示すように、シリコン基板200上にシリコン層230をエピタキシャル成長法により選択的に形成する。この際、SOI領域にはシリコン酸化膜240が露出しているため、シリコン層230はバルク領域のシリコン基板200上にのみ成長される。次に図18（d）に示すように、SOI領域に残存しているシリコン酸化膜240を除去する。

【 0 0 0 7 】

上記のような方法によって、シリコン基板上に部分的にSOIが存在する部分SOI

構造が実現できる。その後は、例えばロジック回路等をSOI領域のSOI層220上に形成し、その他の例えばDRAMセル等をバルク領域のシリコン層230上に形成する。このように、半導体素子の特性によってSOI素子、非SOI素子を使い分けることで、高速・高性能なシステムLSIが実現できる。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、上記のような製造方法であると、バルク領域に形成したシリコン層230の膜厚測定が非常に困難であるという問題があった。

【 0 0 0 9 】

半導体製造プロセスの成膜工程における成膜レートは、例え成膜条件を同一に設定したとしても必ずしも常時同じであるとは限らない。むしろ、成膜装置稼働時の微妙な外部環境（温度、気圧、湿度）、内部環境（チャンバー内部の状態、センサー等の状態）、半導体ウェハの表面状態等の影響により、成膜レートは異なってしまうことが通常である。従って、成膜時には当該成膜条件における成膜レート（膜厚）を測定する必要がある。そして、その測定結果を次の成膜時の成膜条件にフィードバックさせることにより、成膜条件を最適化する必要がある。特に、SoC（System on Chip）型の高性能システムLSIの場合には、リソグラフィ工程の精度を上げるためにも膜厚制御は非常に重要である。例えば部分SOI構造の場合には、バルク領域とSOI領域との間の段差を可能な限り小さくすることが望ましい。すなわち、バルク領域のシリコン層230上面とSOI領域のSOI層220上面とが同一面になるように、シリコン層230の成長条件を制御しなければならない。そのためにはシリコン層230の膜厚 d_{epi} を測定する必要がある。そして膜厚測定は、歩留まり向上のためにも当然に非破壊検査によって行われる。例えば各層の境界における光の反射を利用した光学的手法が用いられる。

【 0 0 1 0 】

しかし、図18（d）に示す部分SOI構造では、膜厚を測定すべきシリコン層230が、その下地の基板200と同一材料である。すなわち、両者の間で光学定数の差が殆ど無い。そのため、シリコン層230の膜厚測定が非常に困難であった。その結果、当該成膜条件での成膜結果がその後の成膜時に反映させることが出来ず

、システムLSIの製造歩留まりが悪化するという問題があった。

【 0 0 1 1 】

この発明は、上記事情に鑑みてなされたもので、膜厚測定を簡易化出来る半導体装置及びその製造方法を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

この発明に係る半導体装置は、半導体基板の第1領域に、設けられた第1の半導体層と、前記半導体基板の第2領域上に、絶縁膜を介在して設けられた第2の半導体層と、前記半導体基板の第3領域上に、前記絶縁膜及び前記第2の半導体層を介在して設けられた第3の半導体層とを備え、前記第3領域内の第3の半導体層の上面の高さは前記第2領域内の第2の半導体層の上面の高さよりも高いことを特徴としている。

【 0 0 1 3 】

また、この発明に係る半導体装置の製造方法は、半導体基板の第1乃至第3領域上に第1絶縁膜、第1の半導体層、及び第2絶縁膜を順次形成する工程と、前記第1領域の前記第1絶縁膜、第1の半導体層、及び第2絶縁膜、並びに前記第3領域の前記第2絶縁膜を除去する工程と、前記半導体基板の前記第1領域上、及び前記第3領域内の前記第1の半導体層上に第2の半導体層を選択的に形成する工程と、前記第2絶縁膜を除去する工程とを具備することを特徴としている。

【 0 0 1 4 】

上記のような半導体装置及びその製造方法であると、部分SOI構造を有する半導体装置において、SOI層上の一部にも半導体層を形成している。従って、SOI領域において半導体層の膜厚を容易に測定することが出来る。その結果、半導体層の成膜条件を最適化することが出来、半導体装置の製造歩留まりを向上できる。

【 0 0 1 5 】

また、半導体装置の集積度を向上できる。SOI層上に形成される半導体層は、比較的薄い絶縁膜に囲まれている。従って、SOI層上の半導体層が成長時に絶縁膜から受けるストレスは、半導体基板上の半導体層の受けるストレスよりも小さい。すなわち、SOI層上の半導体層では、ストレスによって結晶性が悪化する傾

域は非常に狭い。これにより、素子としての使用に耐えない領域を最小限に抑えることが出来、半導体装置の集積度を向上できる。

【 0 0 1 6 】

更に、完全空乏型MOSトランジスタと部分空乏型MOSトランジスタを作り分けることで、半導体装置の高性能化を図れる。すなわち、SOI層は複数の膜厚を有している。従って、各々の領域に完全空乏型と部分空乏型のMOSトランジスタを作り分けることが出来る。このように、製造が比較的困難な完全空乏型MOSトランジスタを必要不可欠な部分にのみ形成することで、半導体装置の製造歩留まりの向上及び性能向上が両立出来る。

【 0 0 1 7 】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 1 8 】

この発明の第1の実施形態に係る半導体装置及びその製造方法について、図1を用いて説明する。図1は、部分SOI構造を有する半導体装置の断面図である。

【 0 0 1 9 】

図示するように、シリコン基板10上のSOI領域にはBOX層11が設けられ、BOX層11上に例えばシリコン等の半導体層、すなわちSOI層12が設けられている。他方、SOIを設けないバルク領域のシリコン基板10上にはシリコン層13が、その上面がSOI層12の上面と略同一面に達するように設けられている。このような部分SOI構造において、SOI領域上のSOI層12上にもシリコン層13が設けられている。

【 0 0 2 0 】

上記構成の部分SOI構造によれば、(1)膜厚測定を簡易化出来る。より具体的には、シリコン層13の膜厚 d_{epi} の測定を簡易に行うことが出来る。シリコン層13は、バルク領域においてはシリコン基板10上に形成され、SOI領域においてはSOI層12上に形成される。すなわち、各々の領域に形成されるシリコン層13の下地は互いに異なる。しかし、その材料は共にシリコンであるから、各領域に設けられるシリコン層13の膜厚は基本的には同一と考えて良い。従って、膜厚測定は、

従来のようにバルク領域で行わずに、SOI領域で行うことが可能である。SOI領域には、シリコン層13の存在する領域と存在しない領域とが存在する。なお、シリコン層13の存在しない領域をSOI素子領域、存在する領域を測定領域と呼ぶことにする。すると、SOI層12の下層はBOX層11であるから、両者には光学定数に大きな差が存在する。従って、SOI素子領域において、SOI層12の膜厚が測定できる。また測定領域においてはシリコン層12とSOI層12とを足し合わせた膜厚が測定できる。よって、測定領域における測定結果からSOI素子領域における測定結果を差し引くことで、シリコン層13の膜厚が算出出来る。

【 0 0 2 1 】

上記のように、本実施形態に係る半導体装置によれば、膜厚測定を簡易化出来る。このように、シリコン層13の膜厚を測定出来ることにより、シリコン層13の成膜条件（成膜雰囲気、温度等）を最適化することが出来、半導体装置の製造歩留まりを向上できる。

【 0 0 2 2 】

次に上記部分SOI構造の製造方法について、図 2 乃至図 6 を用いて説明する。図 2 乃至図 6 は部分SOI構造の製造工程を順次示す断面図である。

【 0 0 2 3 】

まず図 2 に示すように、熱酸化法またはLP-CVD (Low Pressure-Chemical Vapor Deposition) 法等により、SOI基板100上にシリコン酸化膜14を形成する。SOI基板100は、シリコン基板10、シリコン基板10上のBOX層11、及びBOX層上のSOI層12を有している。このSOI基板100は、2枚のシリコン基板を張り合わせることにによって形成しても良いし、SIMOX (Separation by Implanted Oxygen) によって形成しても良い。次に、シリコン酸化膜14上にレジスト15を塗布する。そして、リソグラフィ技術によりレジスト15をパターニングして、レジスト15をSOI領域のシリコン酸化膜14上にのみ残存させる。

【 0 0 2 4 】

次に図 3 に示すように、レジスト15をマスクに用いたエッチングにより、バルク領域のシリコン酸化膜14及びSOI層12を除去する。その結果、バルク領域ではBOX層11が露出する。

【 0 0 2 5 】

次に図 4 に示すように、SOI 領域に残存するレジスト 15 をパターニングして、測定領域となるべき領域のレジスト 15 を除去する。

【 0 0 2 6 】

次に図 5 に示すように、レジスト 15 をマスクに用いたエッチングにより、SOI 領域の一部のシリコン酸化膜 14、及びバルク領域の BOX 層 11 を除去する。その結果、バルク領域ではシリコン基板 10 が露出される。また SOI 領域では、シリコン酸化膜 14 が露出された領域（測定領域）と SOI 層 12 が露出された領域（SOI 素子領域）とが混在する。その後レジスト 15 をアッシング等により除去する。

【 0 0 2 7 】

次に図 6 に示すように、バルク領域のシリコン基板 10 上及び SOI 領域の SOI 層 12 上にシリコン層 13 をエピタキシャル成長法により形成する。この際、SOI 素子領域にはシリコン酸化膜 14 が存在するため、シリコン層 13 はバルク領域のシリコン基板 10 上及び測定領域の SOI 層 12 上にのみ選択的に成長する。

【 0 0 2 8 】

その後は SOI 領域に残存するシリコン酸化膜 14 を除去する。そして、バルク領域及び SOI 領域内に半導体素子を周知の方法により形成し、半導体装置が完成する。

【 0 0 2 9 】

なお、シリコン層 13 の膜厚を測定した後は、測定領域に存在するシリコン層 13 を除去しても良い。勿論、SOI 領域内にシリコン層 13 を残しておき、シリコン層 13 上に半導体素子を形成しても構わない。また、シリコン酸化膜 14 は、シリコン層 13 を選択的に成長させるためのものである。すなわち、シリコン酸化膜 14 は、シリコン層 13 の堆積に対してマスク材として機能する。従って、例えばシリコン窒化膜等の他の絶縁膜や、導電膜を代わりに用いても良い。

【 0 0 3 0 】

次にこの発明の第 2 の実施形態に係る半導体装置について、図 7 を用いて説明する。図 7 は、部分 SOI 構造を採用した DRAM 混載型のシステム LSI の断面図である。本実施形態は、上記第 1 の実施形態におけるバルク領域に DRAM セルアレイを形

成し、SOI領域にその他のロジック回路を形成したものである。まずバルク領域に形成されたDRAMセルアレイの構造について簡単に説明する。

【 0 0 3 1 】

図示するように、p型シリコン層13及びp型シリコン基板10中にトレンチ16が設けられている。このトレンチ16の上部を除いた内周面上にはキャパシタ絶縁膜17が設けられている。更にトレンチ16の上部を除いた内周面上で、且つキャパシタ絶縁膜17よりも上部には、キャパシタ絶縁膜17よりも膜厚の大きいカラー酸化膜18が設けられている。また、トレンチ16内にはストレージノード電極19がトレンチ16内部を途中まで埋め込むようにして設けられ、ストレージノード電極19上に更に導電体層20が設けられている。また、トレンチ16内の開口近傍に低抵抗の導電体層21が更に設けられている。そして、シリコン基板10中にキャパシタ絶縁膜17と接するようにして n^+ 型不純物拡散層22が設けられている。この n^+ 型不純物拡散層22はプレート電極として機能するものである。以上のようにして、トレンチ型のセルキャパシタが形成されている。

【 0 0 3 2 】

シリコン層13上には、ゲート絶縁膜23を介在してゲート電極24が設けられており、絶縁膜34がゲート電極24を取り囲むようにして設けられている。また、シリコン層13表面内に n^+ 型ソース・ドレイン領域25、26が設けられることによりセルトランジスタが形成されている。そして、セルトランジスタのソース領域25とセルキャパシタの導電体層21とが電氣的に接続されている。以上のようなセルトランジスタとセルキャパシタとを含むDRAMセルが、DRAMセルアレイ内に複数設けられている。またDRAMセルは、素子分離領域STIによって電氣的に互いに分離された素子領域内に2個ずつ配置され、ドレイン領域26を共有している。

【 0 0 3 3 】

そして、上記DRAMセルを被覆するようにして、シリコン層13上に層間絶縁膜27、28が設けられている。層間絶縁膜27、28内には、層間絶縁膜28表面からドレイン領域26に達するビット線コンタクトプラグ29が設けられている。なお、ビット線コンタクトプラグと接するドレイン領域26内には高不純物濃度の n^{++} 型コンタクト領域30が設けられている。そして層間絶縁膜28上に、ビット線コンタクトプ

ラグ29と電氣的に接続されたビット線BLが設けられている。

【 0 0 3 4 】

次にSOI領域に形成されたロジック回路の構成について説明する。図示するように、ロジック回路に含まれるMOSトランジスタは、セルトランジスタと同様にゲート絶縁膜23、ゲート電極24、ソース、ドレイン領域25、26を有し、更にLDD領域31を有している。SOI素子領域内のMOSトランジスタのゲート電極24は、ゲート絶縁膜23を介在してSOI層12上に設けられている。またソース・ドレイン・LDD領域25、26、31はSOI層12内に設けられている。なお、ソース・ドレイン領域25、26は、SOI層12の表面からBOX層11に達するようにして設けられている。測定領域内のMOSトランジスタのゲート電極24は、SOI層12上のシリコン層13上にゲート絶縁膜23を介在して設けられている。またソース・ドレイン・LDD領域25、26、31は、BOX層11に達しない深さを有するようにしてシリコン層13内に設けられている。以上のような構成を有するMOSトランジスタは、素子分離領域STIによって互いに電氣的に分離されている。

【 0 0 3 5 】

そして、上記MOSトランジスタを被覆するようにして、SOI層12上に層間絶縁膜27が設けられ、層間絶縁膜27及びシリコン層13上に層間絶縁膜28が設けられている。層間絶縁膜27、28中には、MOSトランジスタのソース・ドレインに接続されたコンタクトプラグ32が設けられ、層間絶縁膜27、28上にはコンタクトプラグ32と電氣的に接続された配線層33が設けられている。

【 0 0 3 6 】

上記構成のLSIによれば、第1の実施形態で説明した(1)の効果に加えて、(2)測定領域内のMOSトランジスタの基板浮遊効果を解消できる、(3)LSIの集積度を向上できる、という効果が得られる。

【 0 0 3 7 】

まず上記(2)の効果について、図8(a)乃至(d)を用いて説明する。図8(a)は図7におけるSOI素子領域の平面図であり、図8(b)は図8(a)におけるX1-X1'線方向に沿った断面図である。なお図7は図8(a)におけるX2-X2'線方向に沿った断面図に相当する。また図8(c)は図7における測定領

域の平面図であり、図 8 (d) は図 8 (c) における X3-X3' 線方向に沿った断面図である。図 7 は図 8 (c) における X4-X4' 線方向に沿った断面図に相当する。

【 0 0 3 8 】

まず SOI 素子領域について説明する。図 8 (a) に示すように、MOS トランジスタが設けられる素子領域はその周囲を素子分離領域 STI によって取り囲まれている。また、ソース・ドレイン領域 25、26 が BOX 層 11 に達するように形成されているため、素子分離領域 STI も、図 7 及び図 8 (b) に示すように、BOX 層 11 に達するように形成されている。従って、p 型 SOI 領域の電位、すなわち MOS トランジスタのバックゲート電位を外部から設定することが出来ず、浮遊電位となる。これが基板浮遊効果である。このように、通常の SOI 構造を利用した MOS トランジスタであると、ソース・ドレイン領域 25、26 が BOX 層 11 に接することにより寄生容量を低減できる。その反面、MOS トランジスタのバックゲート電位を固定に出来ない。バックゲート電位が浮遊電位であると、特にアナログ動作時におけるゲート電圧・ドレイン電流特性が悪化する。これは、例えばゲート電圧の変動のカップリングがバックゲート電位に影響を与える為である。従って、SOI 領域に形成する MOS トランジスタは、デジタル動作を行う MOS トランジスタに限られる。

【 0 0 3 9 】

次に測定領域について説明する。図 8 (c) に示すように、MOS トランジスタが形成される素子領域は SOI 素子領域と同様に、その周囲を素子分離領域 STI によって取り囲まれている。しかし、SOI 素子領域と異なりソース・ドレイン領域 25、26 は BOX 層 11 に達しないように形成される。そのため図 8 (d) に示すように、素子分離領域 STI は BOX 層 11 に達するように形成する必要がない。従って、素子分離領域 STI の一部を BOX 層 11 に達しないように形成し、且つ素子分離領域 STI 内の一部領域に SOI 層 12 に達するシリコン層 13 を形成し、このシリコン層 13 に電位を与えることで、バックゲート電位を所定の値に設定できる。シリコン層 13 に与えられた電位は、SOI 層 12 及び p 型層 13 を介して、MOS トランジスタのバックゲートに与えられる。

【 0 0 4 0 】

以上のように、本実施形態に係るLSIによれば、測定領域に形成したMOSトランジスタのバックゲートバイアスを固定に出来、基板浮遊効果を解消できる。その結果、SOI領域内部にはデジタル動作のみならずアナログ動作を行うMOSトランジスタを形成することが出来る。従って、システムLSIの設計自由度を向上できる。

【 0 0 4 1 】

次に上記（３）の効果について図９（a）、（b）を用いて説明する。図９（a）、（b）はLSIの基板部分の断面図であり、図９（a）は従来構造、図９（b）は本実施形態に係る構造をモデル的に示している。

【 0 0 4 2 】

従来構造では、図９（a）に示すように、バルク領域とSOI領域とが混在している。バルク領域１にはDRAMセルアレイが形成され、バルク領域にはアナログ動作を行う周辺回路が形成される。またSOI領域内にはデジタル動作を行うロジック回路等が形成される。そして、バルク領域とSOI領域との間は素子分離領域STIによって電氣的に分離されている。

【 0 0 4 3 】

ところで、従来技術で説明したように、バルク領域のシリコン層230は、シリコン基板200上への選択成長法によって形成される。この際、シリコン層230が形成される領域は、BOX層210及びSOI層220に囲まれている。すると、シリコン層230の成長時において、BOX層210及びSOI層220に接するシリコン層230はBOX層210及びSOI層220からストレスを受け、結晶性が悪化する。従って、バルク領域とSOI領域との境界部分は実際に素子を形成することは好ましくない。図９（a）に示す領域A1が、バルク領域とSOI領域との境界部分であり、素子を形成する領域として使用することが困難な領域である。

【 0 0 4 4 】

ところで、バルク領域１は例えばDRAMセルアレイが形成される領域であるから、その面積は比較的大きい。従って、バルク領域１に対する領域A1の面積比率は小さい。例えばバルク領域１の幅が1mm、領域A1の面積が10 μ mであるとすれば、領域A1がバルク領域１に占める割合は僅か1%に過ぎない。しかし、バルク領域２

は周辺回路が形成される領域であって、場合によっては数個のMOSトランジスタを形成するために用いられる。従って、バルク領域2に対する領域A1の面積比率は非常に大きい。例えばバルク領域2の幅が $20\mu\text{m}$ であるとすれば、領域A1がバルク領域2に占める割合は50%にもなる。その結果、SOI素子を用いれば用いるほど無駄な領域A1が増加して面積効率が悪化し、LSIの集積度の向上が妨げられる。

【0045】

本実施形態によれば、アナログ動作を行う周辺回路は測定領域内に形成できる。上記第1の実施形態で説明したように、測定領域のシリコン層13は、SOI層12上への選択成長法によって形成される。この際、シリコン層13が形成される領域はシリコン酸化膜14に囲まれている。しかし、シリコン酸化膜14は、単にSOI素子領域上へのシリコン層13の成長を防止するためのものであり、その膜厚は比較的小さい。すると、シリコン層13の成長時においてシリコン層13がシリコン酸化膜14から受けるストレスも小さく済む。すなわち、ストレスによって結晶性が悪化する領域は非常に狭い。図9(b)に示すように、確かにバルク領域とSOI領域との境界部分の領域A1は、従来構造と同程度の面積を有する。しかし、SOI素子領域と測定領域との間の領域A1は、バルク領域とSOI領域との境界部分の領域A1の面積に比べはるかに小さい。また、従来構造のようにバルク領域とSOI領域とを混在させるのではなく、SOI素子及びDRAMセルアレイ以外のアナログ素子をSOI領域に集積している。これにより、無駄な領域A1が全体に占める割合を大幅に低減でき、LSIの集積度を飛躍的に向上できる。

【0046】

次にこの発明の第3の実施形態に係る半導体装置について図10を用いて説明する。図10は、部分SOI構造を有する半導体装置の断面図である。

【0047】

図示するように、本実施形態に係る部分SOI構造は、上記第1の実施形態で説明した構造において、測定領域のシリコン層13の膜厚 dep_i' を、バルク領域のシリコン層13の膜厚 dep_i よりも小さくしたものである。図10の構造の製造方法について図11を用いて説明する。図11は図10の半導体装置の製造工程の一部

を示す断面図である。

【 0 0 4 8 】

まず第 1 の実施形態で説明した工程に従って図 6 に示す構造を形成する。その後図 1 1 に示すように、SOI 素子領域に残存するシリコン酸化膜 14 をストッパーに用いた CMP (Chemical Mechanical Polishing) 法により、測定領域のシリコン層 13 を研磨・除去する。その後、SOI 素子領域のシリコン酸化膜 14 をエッチングにより除去して図 1 0 の構造を得る。

【 0 0 4 9 】

本実施形態に係る部分 SOI 構造によれば、図 6 に示す構造を得た段階で、SOI 領域のシリコン層 13 の膜厚を測定でき、第 1 の実施形態で説明した (1) の効果が得られる。更に、(4) リソグラフィ精度を向上できる、という効果を併せて得られる。図 1 0 の構造を得た後、バルク領域及び SOI 領域には半導体素子が形成され、シリコン層 13 及び SOI 層 12 上には図示せぬ層間絶縁膜が形成される。そして層間絶縁膜上には半導体素子に接続する図示せぬ金属配線層が形成される。金属配線層は金属層をリソグラフィ工程によってパターニングして形成するのが通常である。ところでリソグラフィ工程によるパターニング精度は、その下地の平坦性に大きく依存する。すなわち、金属配線層の下地である層間絶縁膜表面に大きな段差があると、パターニング精度が悪化し微細加工が困難になる。そして層間絶縁膜表面に発生する段差は、その下地となるシリコン層 13 及び SOI 層 12 の段差に影響を受ける。しかし本実施形態によれば、測定領域に残存するシリコン層 13 を研磨することで、バルク領域表面及び SOI 素子領域表面との間の段差を小さくしている。従って、シリコン層 13 及び SOI 層 12 上に設けられる層間絶縁膜の平坦性が確保される。その結果、層間絶縁膜上の金属配線層のパターニング精度が向上し、半導体装置の更なる微細化に寄与できる。

【 0 0 5 0 】

次にこの発明の第 4 の実施形態に係る半導体装置について図 1 2 を用いて説明する。図 1 2 は DRAM 混載型のシステム LSI の断面図である。

【 0 0 5 1 】

図示するように本実施形態は、上記第 3 の実施形態に第 2 の実施形態を適用し

たものである。すなわち、上記第 3 の実施形態におけるバルク領域に DRAM セルアレイを形成し、SOI 領域にその他のロジック回路を形成したものである。従って、図 1 2 は図 7 における測定領域のシリコン層 13 の膜厚を小さくしたものであるので、説明は省略する。

【 0 0 5 2 】

本実施形態によれば、第 1 乃至第 3 の実施形態で説明した (1) 乃至 (4) の効果を得ることが出来る。

【 0 0 5 3 】

次にこの発明の第 5 の実施形態に係る半導体装置について図 1 3 を用いて説明する。図 1 3 は DRAM 混載型のシステム LSI の断面図である。

【 0 0 5 4 】

図示するように、本実施形態に係る LSI は、上記第 2、第 4 の実施形態に係る LSI において、SOI 領域の SOI 層 12 の膜厚 $d_{SOI'}$ を、上記第 2、第 4 の実施形態における SOI 層の膜厚 d_{SOI} よりも小さく形成し、且つ測定領域の MOS トランジスタのソース・ドレイン領域 25、26 を BOX 層 11 に達するように形成したものである。そして、SOI 素子領域には完全空乏型 MOS トランジスタを、測定領域には部分空乏型 MOS トランジスタを形成したものである。

【 0 0 5 5 】

本実施形態に係る LSI によれば、上記第 1 の実施形態で説明した (1) の効果が得られる。また、第 2 の実施形態で説明した (3) の効果が得られる。更に測定領域のシリコン層 13 の膜厚を小さくすることで、第 3 の実施形態で説明した (4) の効果が得られる。これら (1)、(2)、(4) の効果に加えて、(5) 完全空乏型 MOS トランジスタと部分空乏型 MOS トランジスタを作り分けることで、LSI の高性能化を図れる、という効果が得られる。本効果について以下詳細に説明する。

【 0 0 5 6 】

まず、完全空乏型及び部分空乏型 MOS トランジスタについて図 1 4 (a)、(b) を用いて説明する。図 1 4 (a) は完全空乏型、図 1 4 (b) は部分空乏型 MOS トランジスタの断面図である。図示するように、SOI 基板はシリコン基板 50、

BOX層51、及びSOI層52を含むとする。そしてSOI層52内にはSOI層52表面からBOX層11に達するようにしてソース・ドレイン領域53、54が設けられている。また、SOI層52上にゲート絶縁膜55を介在してゲート電極56が設けられ、ゲート電極56側壁には絶縁膜57が設けられている。図14(a)に示すように、完全空乏型MOSトランジスタは、動作時において、ソース・ドレイン領域53、54とボディ領域(p型SOI層52)とのpn接合、並びにゲート電極56、ゲート絶縁膜55及びボディ領域のMIS接合によってボディ領域の全体が空乏層で満たされる。すなわち、SOI層52におけるソース・ドレイン領域53、54以外の領域は全面空乏化する。部分空乏型MOSトランジスタの場合には、図14(b)に示すようにSOI層52内に空乏化していない領域が残存する。

【0057】

上記全面空乏型MOSトランジスタと部分空乏型MOSトランジスタとを比較すると、完全空乏型MOSトランジスタは部分空乏型トランジスタに比して電流供給能力に優れるという特長を有している。この点について図15を用いて説明する。図15は完全空乏型及び部分空乏型MOSトランジスタのゲート電圧ードレイン電流特性を示すグラフである。

【0058】

サブスレシヨルド領域における、ゲート電圧に対するドレイン電流の増加率(グラフの傾き)は、S-ファクターという値で表現される。S-ファクターとは、ゲート電圧ードレイン電流特性の傾きの逆数を示す。そして、S-ファクターが小さいほどグラフの傾きは急峻になり、MOSトランジスタの電流供給能力が高いことを示す。このS-ファクターSfacは次式で表される。

$$Sfac = (k_B \cdot T / q) \cdot \ln 10 \cdot (1 + C_{dep} / C_{ox})$$

但し k_B はボルツマン定数、 T は温度、 q は電子電荷、 C_{dep} は空乏層容量、 C_{ox} はゲート絶縁膜容量である。完全空乏型と部分空乏型との違いは、上式における空乏層容量 C_{dep} である。完全空乏型MOSトランジスタであると、部分空乏型に比べて C_{dep} が非常に小さい。従って、S-ファクターが小さくなるから、ゲート電圧ードレイン電流特性の傾きは大きくなる。図15にも示すように、完全空乏型の方が部分空乏型よりもドレイン電流は急峻に増加する。そのため、完全空乏型MOSト

ランジスタの閾値電圧 $V_{th}(FD)$ は、部分空乏型MOSトランジスタ $V_{th}(PD)$ よりも低くなる。ドレイン電流は、ドレイン電圧を V_{DD} 、閾値電圧を V_{th} とすれば、 $(V_{DD} - V_{th})^2$ に比例する。すなわち、完全空乏型MOSトランジスタでは、 S -ファクターが小さくなることにより閾値電圧 V_{th} が低減され、閾値電圧 V_{th} が低減されることによりドレイン電流が増大する。その為、MOSトランジスタの電流供給能力が高められる。

【 0 0 5 9 】

完全空乏型MOSトランジスタには以上のような特長がある一方で、部分空乏型に比して製造が困難であるという問題もある。前述の通り、完全空乏型ではボディ領域を全面空乏化させる必要がある。従って、BOX層上のSOI層を極めて薄く形成しなければならない。ところが、確実に完全空乏化が起こり得る程度の膜厚にSOI層を薄膜化することは、現在の半導体プロセスにおいて非常な困難であり、高い製造歩留まりを達成し難い。

【 0 0 6 0 】

上記のように、完全空乏型MOSトランジスタは、その高駆動能力故に広く用いることが望まれるが、製造歩留まりの観点からは用いづらいという状況にあった。しかし本実施形態に係るLSIによれば、測定領域のSOI層12上に更にシリコン層13を設けている。すなわち測定領域におけるMOSトランジスタのボディ領域の膜厚は、SOI素子領域における膜厚よりも大きくなる。換言すれば、SOI領域内に複数のボディ膜厚のMOSトランジスタを形成することが出来る。すると、予めSOI層12の膜厚 $d_{SOI'}$ を、完全空乏化を満足させる程度に薄く形成しておくことで、SOI素子領域にのみ完全空乏型MOSトランジスタを選択的に形成することが出来る。他方、測定領域には部分空乏型MOSトランジスタを形成することが出来る。このように、SOI素子により回路を構成すべき領域内において、必要不可欠な部分にのみ完全空乏型MOSトランジスタを形成し、その他の領域は製造が容易な部分空乏型MOSトランジスタを形成することで、LSIとしての製造歩留まりの向上及び性能向上が両立出来る。

【 0 0 6 1 】

上記のように、この発明の第1乃至第5の実施形態によれば、(1)膜厚測定

を簡易化出来る半導体装置及びその製造方法を提供出来る。更に、部分SOI構造を有する半導体装置において、(2) SOI基板上の基板浮遊効果を解消できる、(3) 半導体装置の集積度を向上できる、(4) リソグラフィ精度を向上できる、及び(5) 半導体装置の高性能化を図れる、という効果が得られる。

【 0 0 6 2 】

なお、本発明の実施形態は上記第1乃至第5の実施形態に限られるものではない。第2、第4の実施形態において、SOI素子領域に形成するMOSトランジスタについての詳細な説明は省略したが、SOI層12の膜厚が大きき場合には部分空乏型MOSトランジスタとして動作する。しかし図16のLSIの断面図に示すように、SOI層12の膜厚を小さくすることにより完全空乏型MOSトランジスタとしても良い。また、上記実施形態ではトレンチキャパシタを有するDRAMを例に挙げて説明したが、勿論、スタック型のキャパシタを有するDRAMであっても良く、更にはSRAM (Static RAM)、フラッシュメモリ、更にはFerroelectric RAMであっても良い。勿論、メモリ混載型のLSIに限られず、部分SOI構造を有する半導体装置一般に広く本発明は適用できる。

【 0 0 6 3 】

更に、上記実施形態では、バルク領域のシリコン層13底面と、SOI領域のBOX層11底面とが一致する場合を例に挙げて説明した。しかし、例えばシリコン層13底面がBOX層11底面よりも低い位置にあっても良い。この場合について図17(a)、(b)を用いて説明する。図17(a)、(b)は部分SOI構造の一部製造工程を順次示す断面図である。まず第1の実施形態で説明した工程により図4の構造を得る。その後、図17(a)に示すように、バルク領域のBOX層11及びシリコン基板10の一部をエッチングする。その後、図17(a)に示すように、シリコン層13をシリコン基板10上及びSOI層12上に形成する。これにより、シリコン層13の底面はSOI領域のBOX層11底面より下に位置することになる。

【 0 0 6 4 】

また、同一半導体基板上のSOIを複数の膜厚を有するように形成することは、SOS (Silicon On Sapphire) の場合にも適用可能である。この場合には、上記(2)、(4)、(5)の効果が得られる。

【 0 0 6 5 】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【 0 0 6 6 】

【発明の効果】

以上説明したように、この発明によれば、膜厚測定を簡易化出来る半導体装置及びその製造方法を提供出来る。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施形態に係る半導体装置の断面図。

【図 2】

この発明の第 1 の実施形態に係る半導体装置の第 1 の製造工程の断面図。

【図 3】

この発明の第 1 の実施形態に係る半導体装置の第 2 の製造工程の断面図。

【図 4】

この発明の第 1 の実施形態に係る半導体装置の第 3 の製造工程の断面図。

【図 5】

この発明の第 1 の実施形態に係る半導体装置の第 4 の製造工程の断面図。

【図 6】

この発明の第 1 の実施形態に係る半導体装置の第 5 の製造工程の断面図。

【図 7】

この発明の第 2 の実施形態に係る半導体装置の断面図。

【図 8】

図 7 に示す半導体装置の一部を示しており、（a）図は SOI 素子領域の平面図

、（b）図は（a）図におけるX1-X1' 線に沿った断面図、（c）図は測定領域の平面図、（d）図は（c）図におけるX3-X3' 線に沿った断面図。

【図 9】

半導体装置の断面図を示しており、（a）図は従来構造、（b）図はこの発明の第 2 の実施形態に係る構造の断面図。

【図 1 0】

この発明の第 3 の実施形態に係る半導体装置の断面図。

【図 1 1】

この発明の第 3 の実施形態に係る半導体装置の製造工程の一部の断面図。

【図 1 2】

この発明の第 4 の実施形態に係る半導体装置の断面図。

【図 1 3】

この発明の第 5 の実施形態に係る半導体装置の断面図。

【図 1 4】

半導体装置の断面図を示しており、（a）図は完全空乏型、（b）図は部分空乏型MOSトランジスタの断面図。

【図 1 5】

MOSトランジスタのゲート電圧－ドレイン電流特性を示すグラフ。

【図 1 6】

この発明の第 1 乃至第 5 の実施形態の第 1 変形例に係る半導体装置の断面図。

【図 1 7】

この発明の第 1 乃至第 5 の実施形態の第 2 変形例に係る半導体装置の製造方法を示しており、（a）、（b）図はそれぞれ第 1、第 2 の製造工程の断面図。

【図 1 8】

従来の半導体装置の製造工程を順次示す図であり、（a）乃至（d）はそれぞれ第 1 乃至第 4 の製造工程の断面図。

【符号の説明】

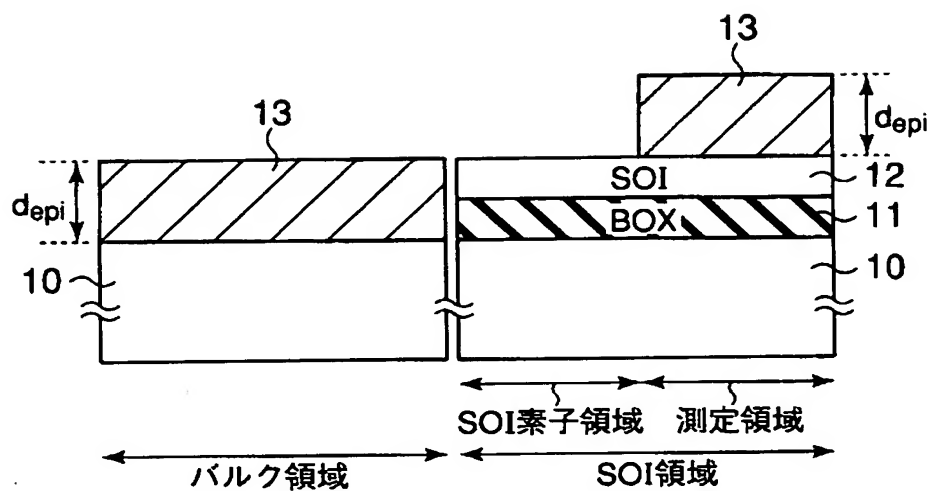
10、50、200…シリコン基板

11、51、210…BOX層

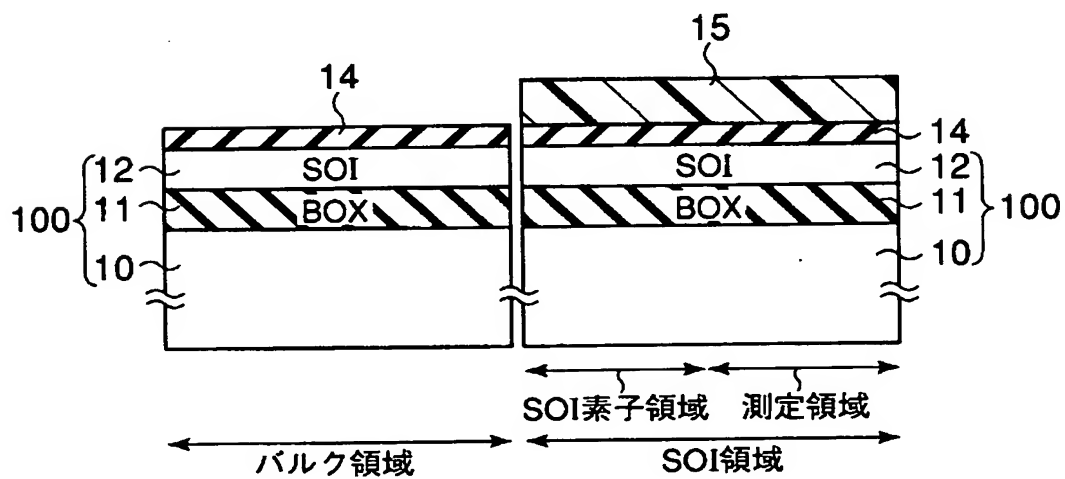
- 12、52、220…SOI層
- 13、230…シリコン層
- 14、240…シリコン酸化膜
- 15、250…レジスト
- 16…トレンチ
- 17…キャパシタ絶縁膜
- 18…カラー酸化膜
- 19…ストレージノード電極
- 20、21…導電膜
- 22…プレート電極
- 23、55…ゲート絶縁膜
- 24、56…ゲート電極
- 25、53…ソース領域
- 26、54…ドレイン領域
- 27、28…層間絶縁膜
- 29、32…コンタクトプラグ
- 30…コンタクト領域
- 31…LDD領域
- 33…配線層
- 34、57…絶縁膜
- 58…空乏層
- 100、300…SOI基板

【書類名】 図面

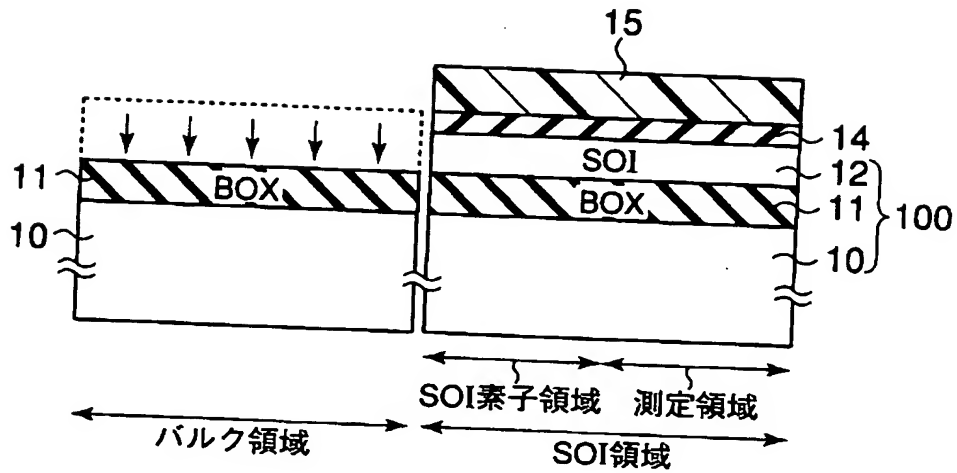
【図 1】



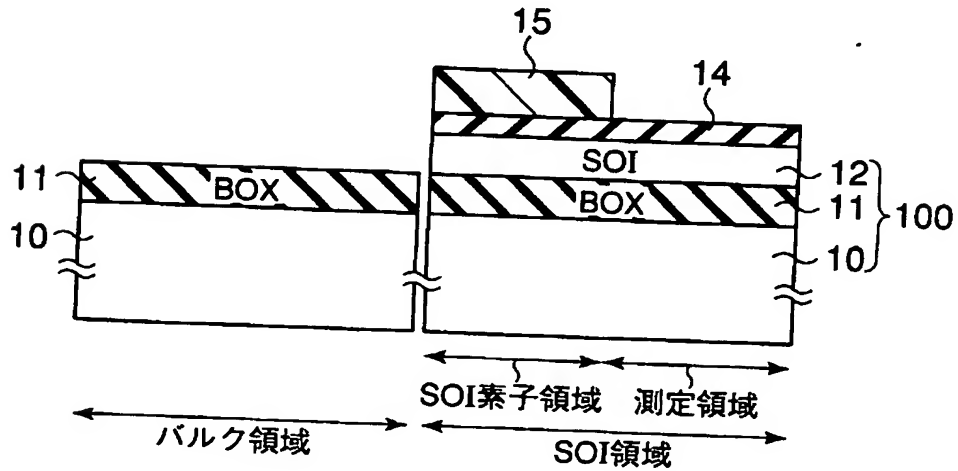
【図 2】



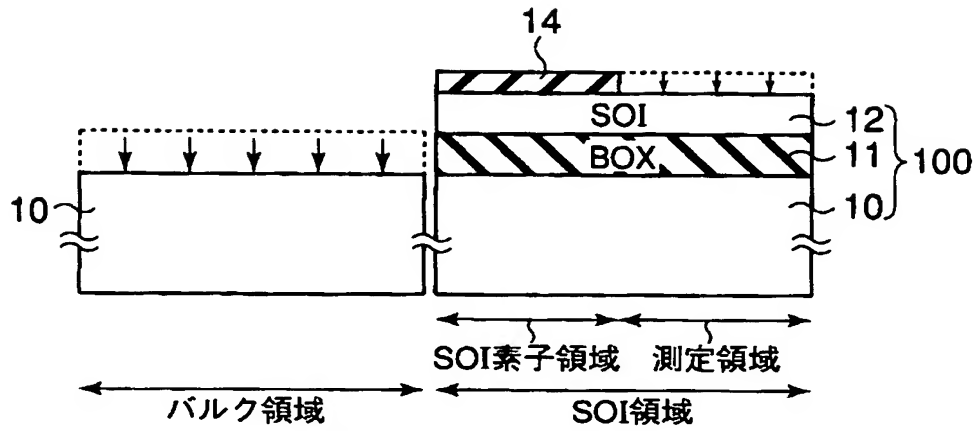
【図 3】



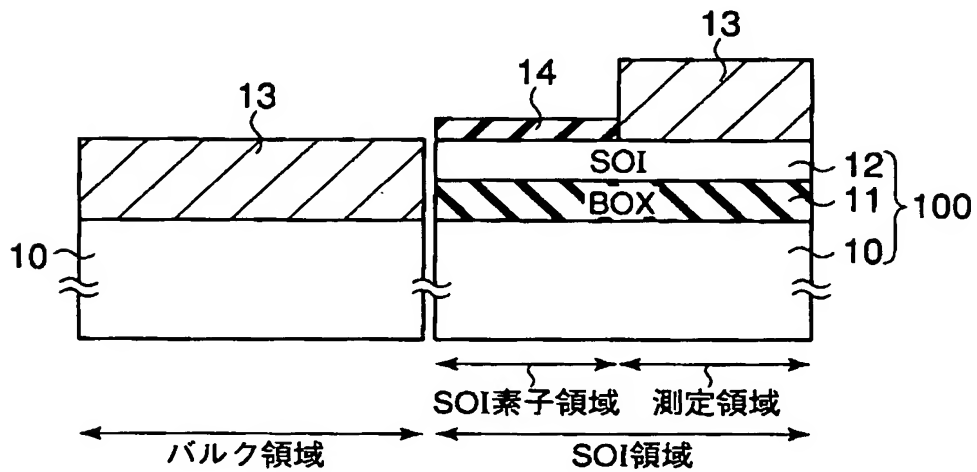
【図 4】



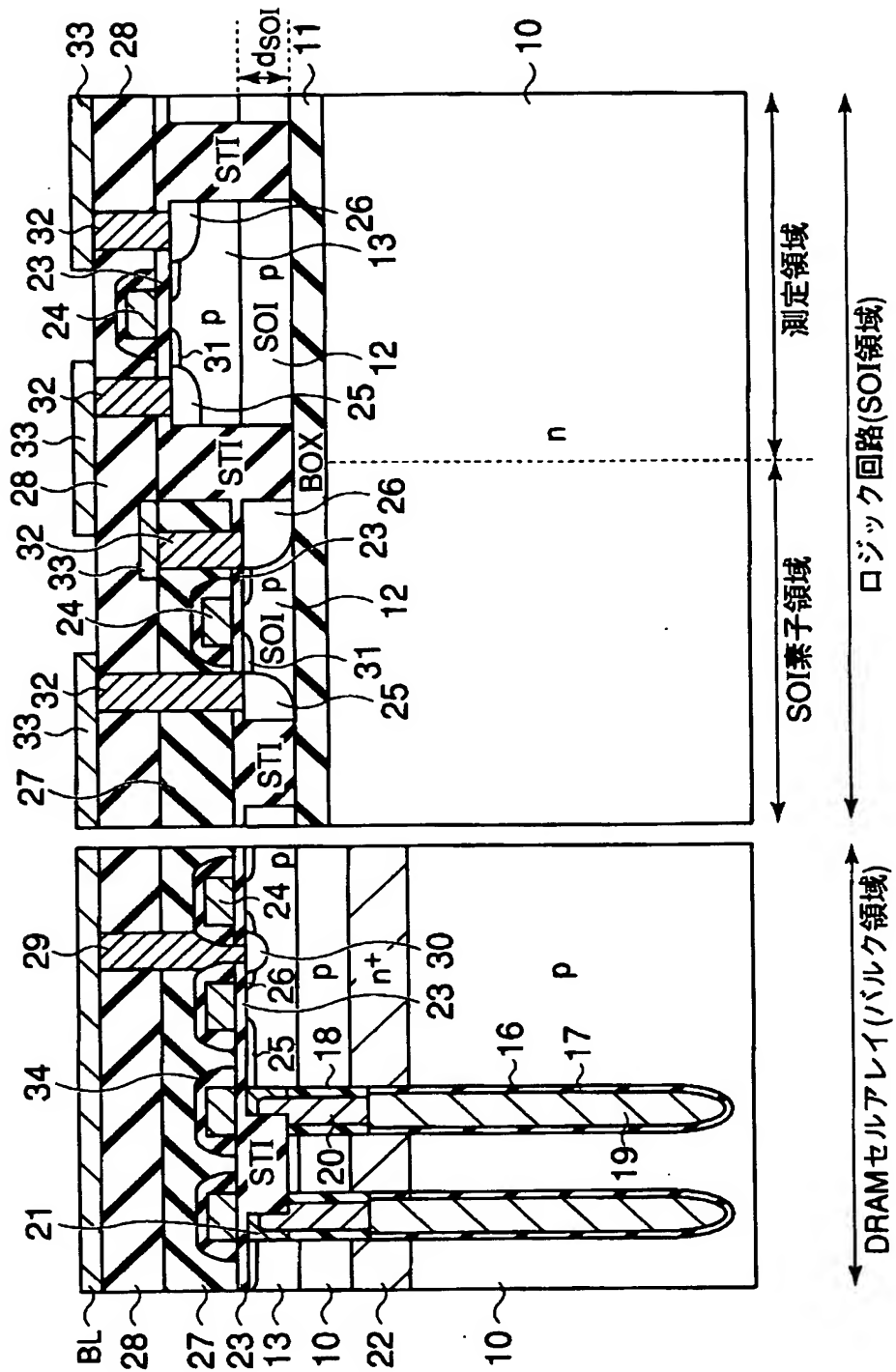
【図 5】



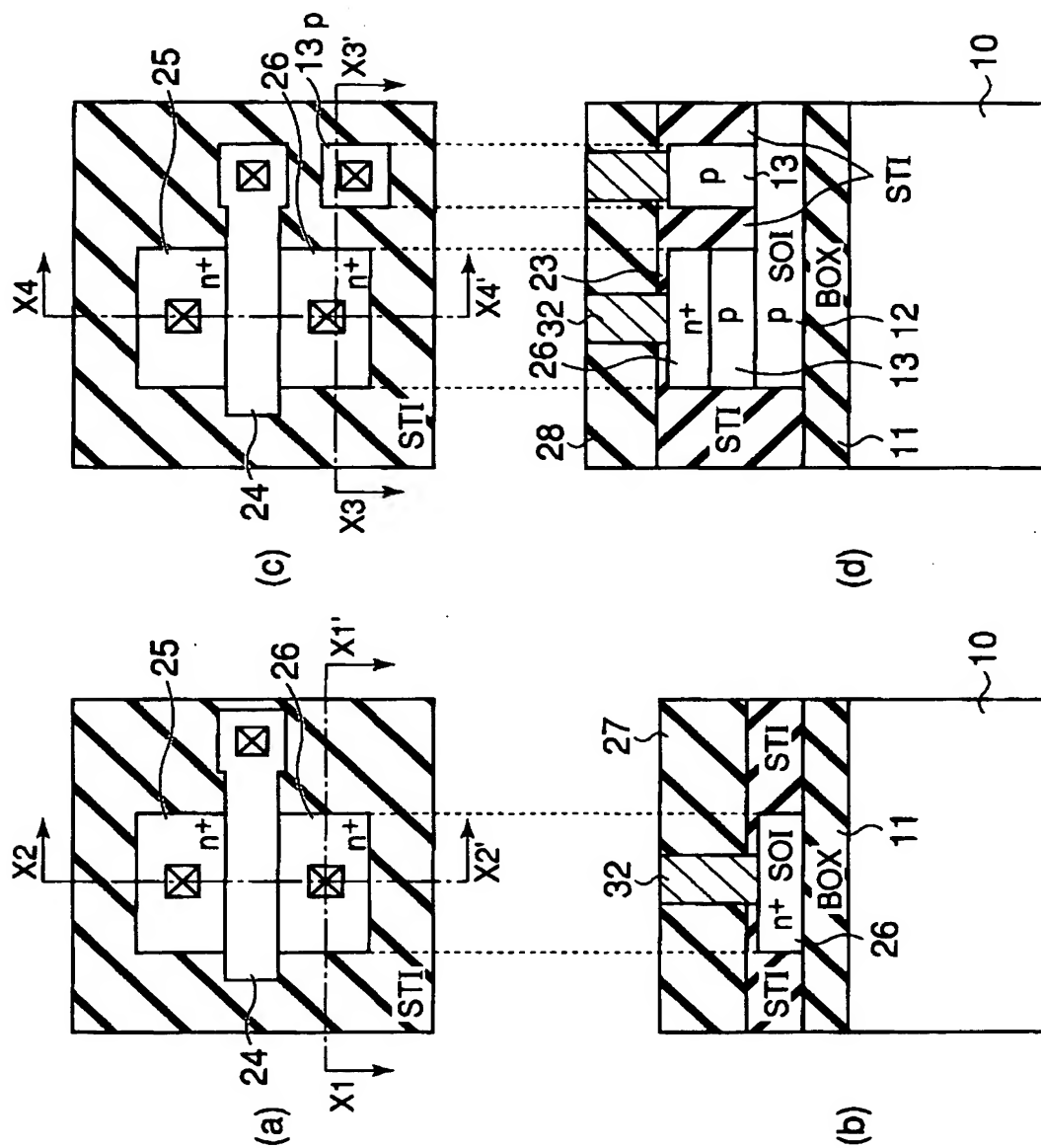
【図 6】



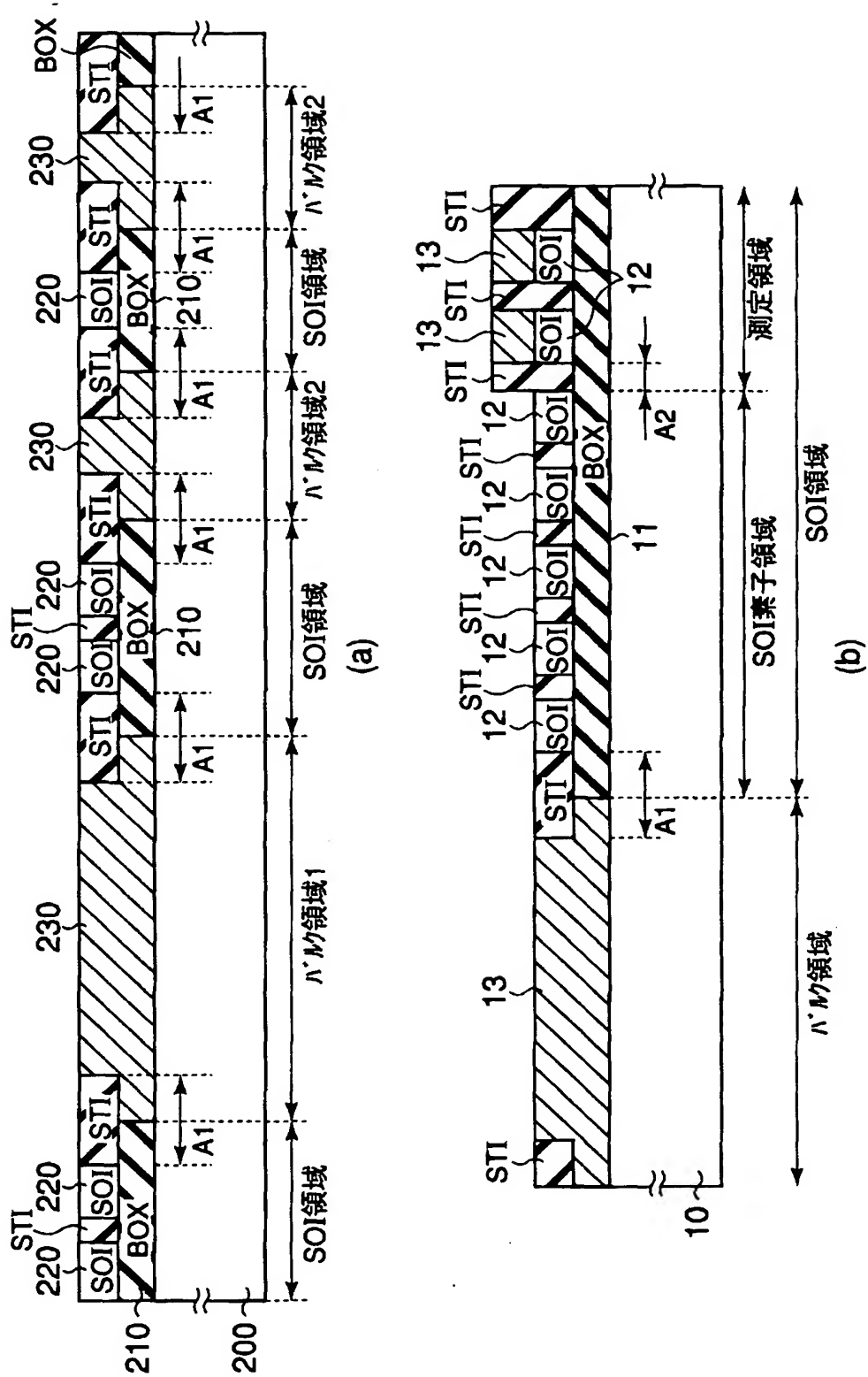
【図 7】



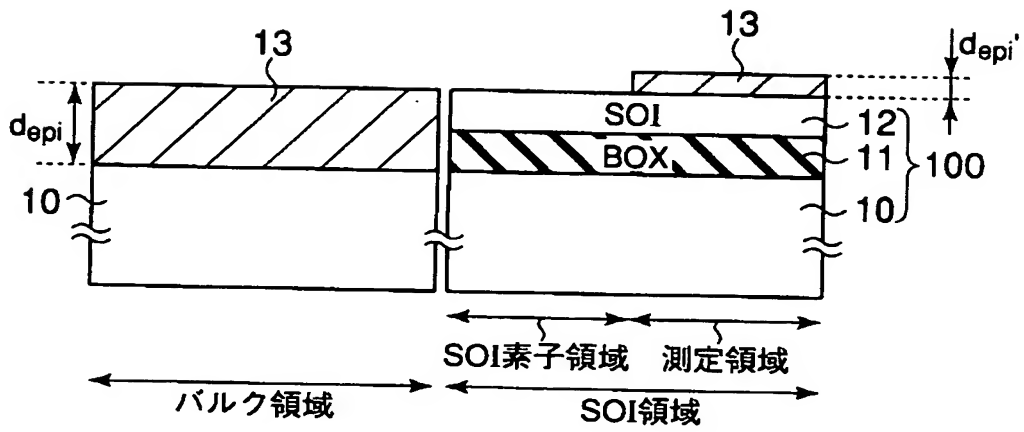
【圖 8】



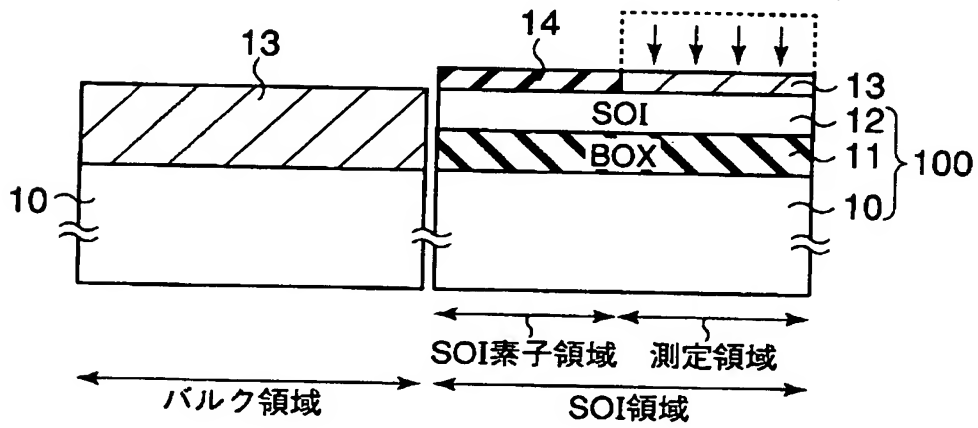
【図9】



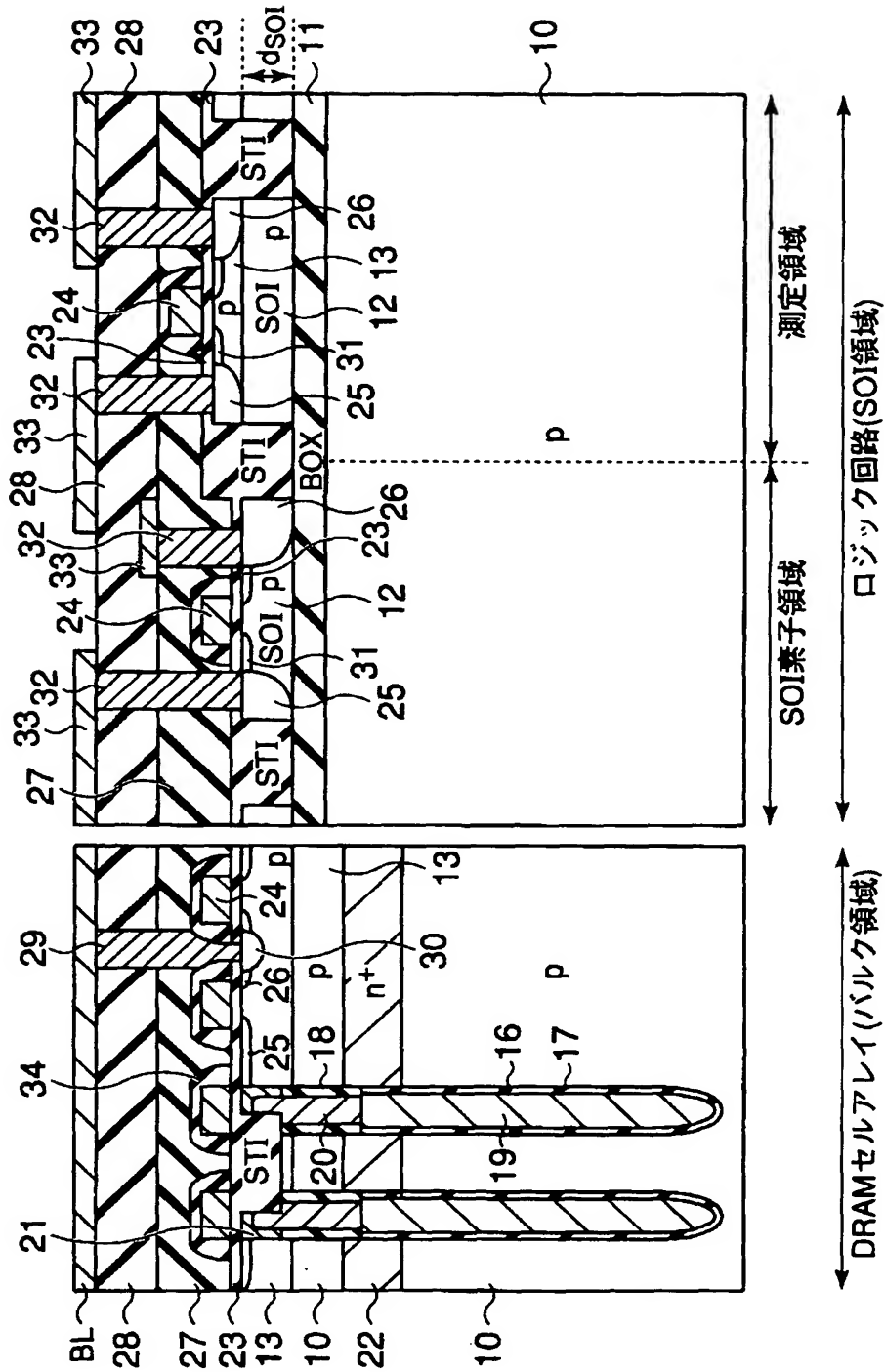
【図 1 0】



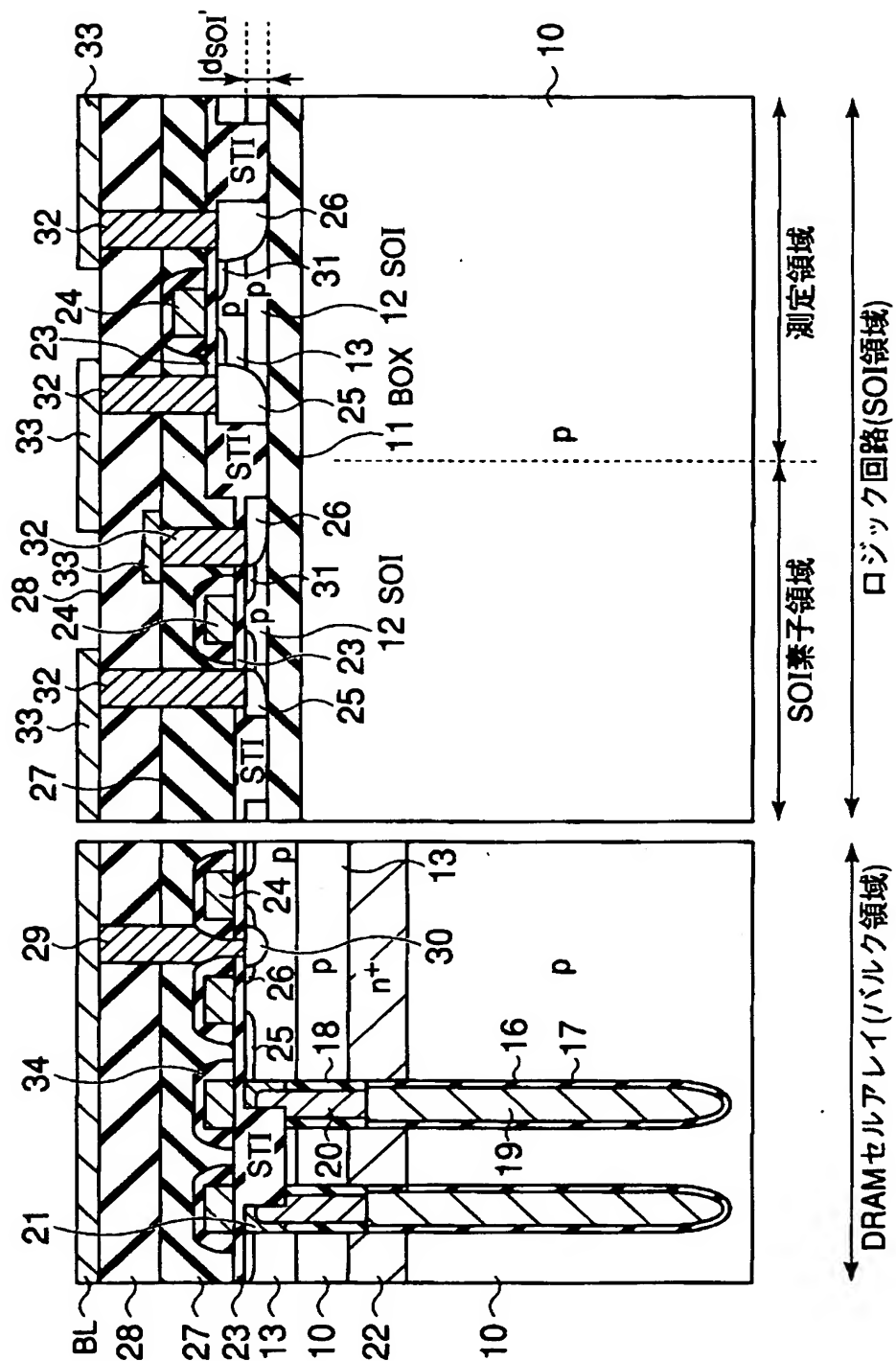
【図 1 1】



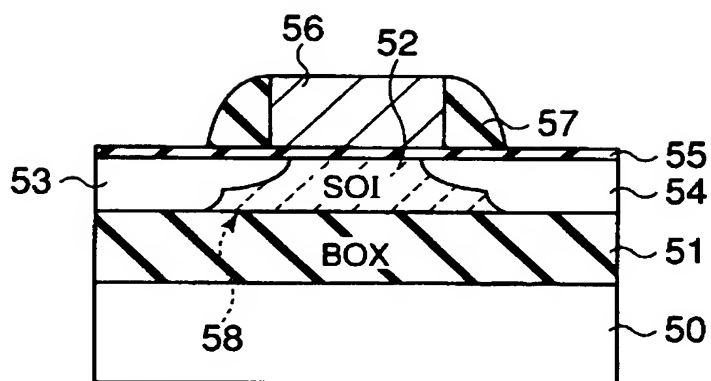
【図12】



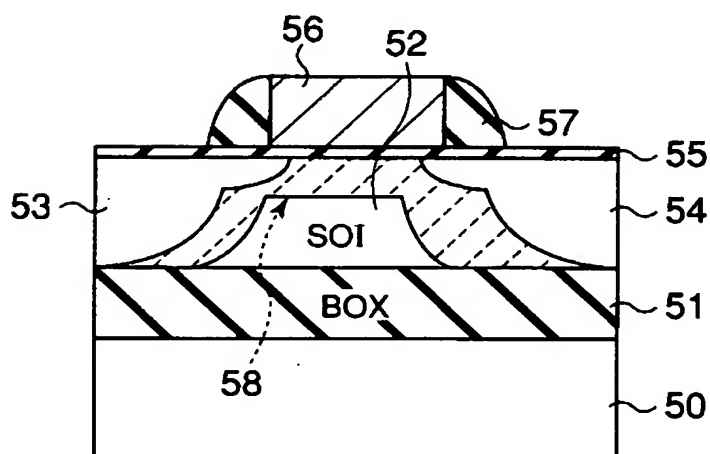
【图 13】



【図 1 4】

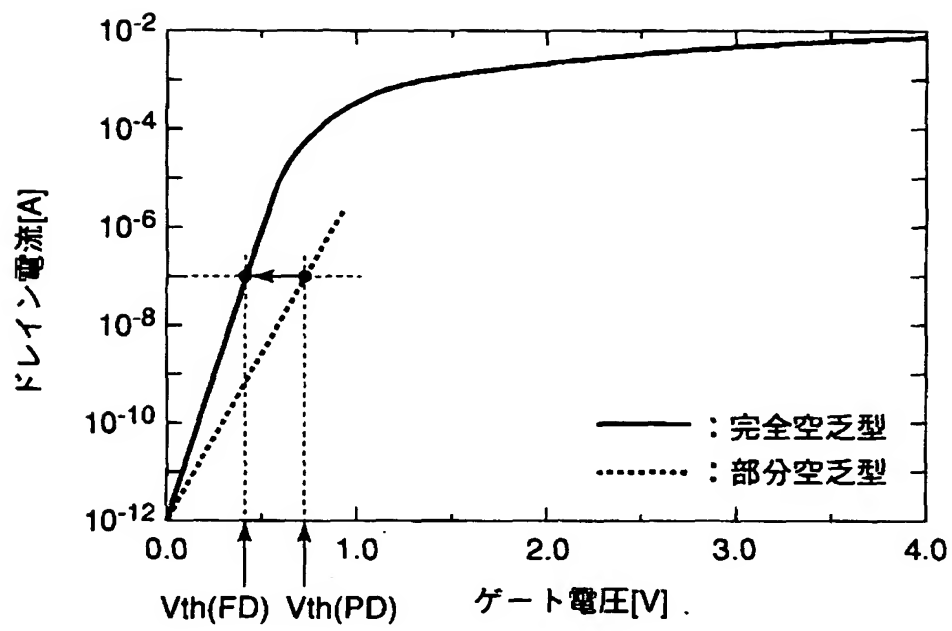


(a)

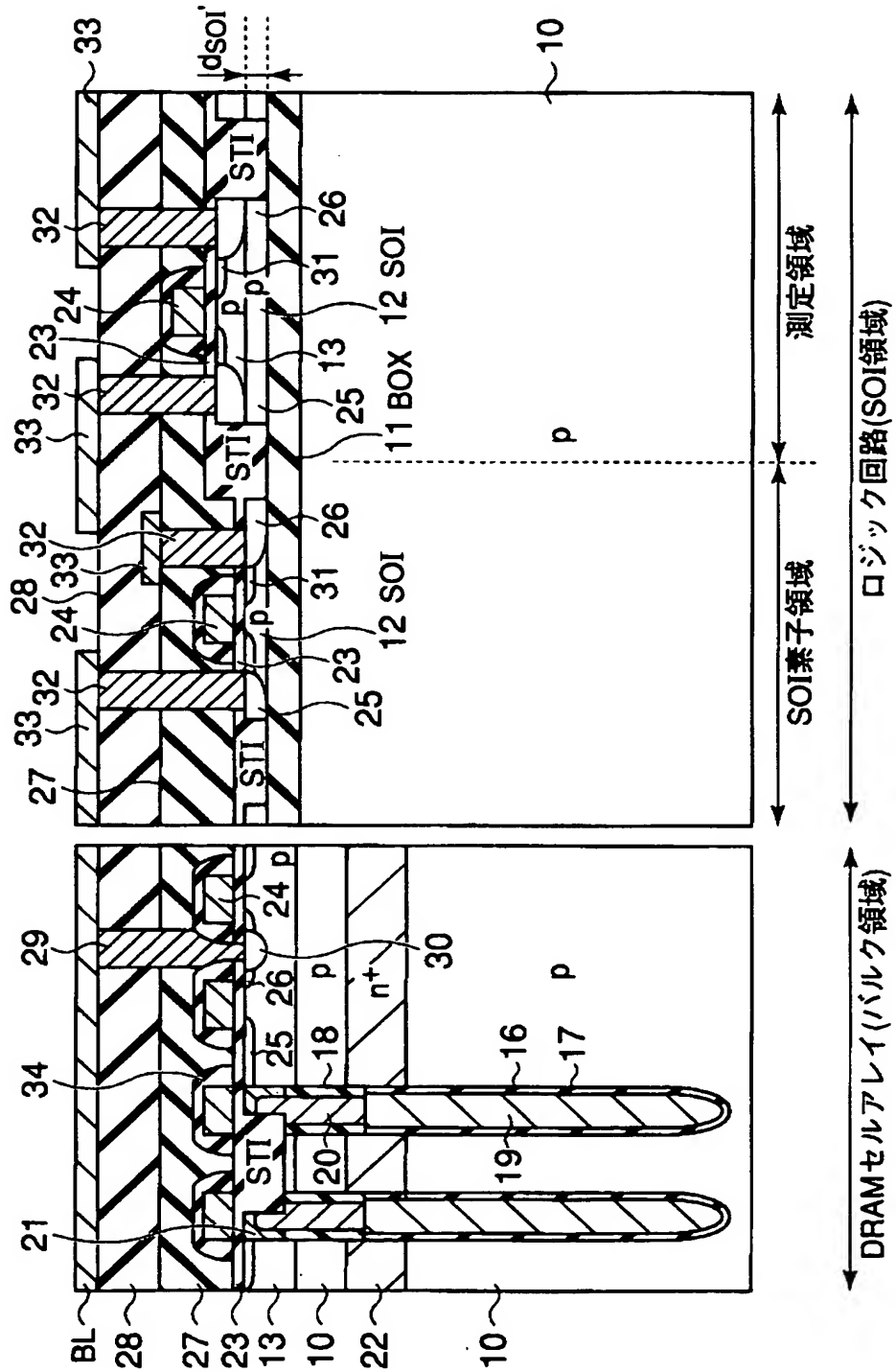


(b)

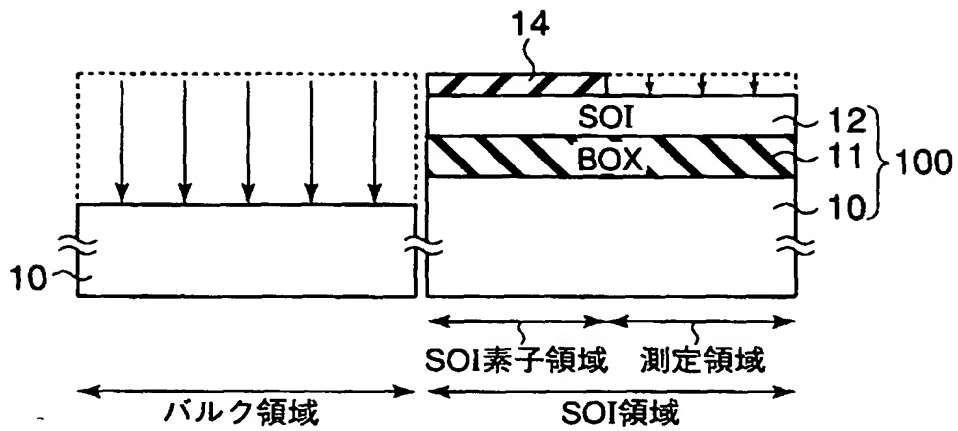
【図15】



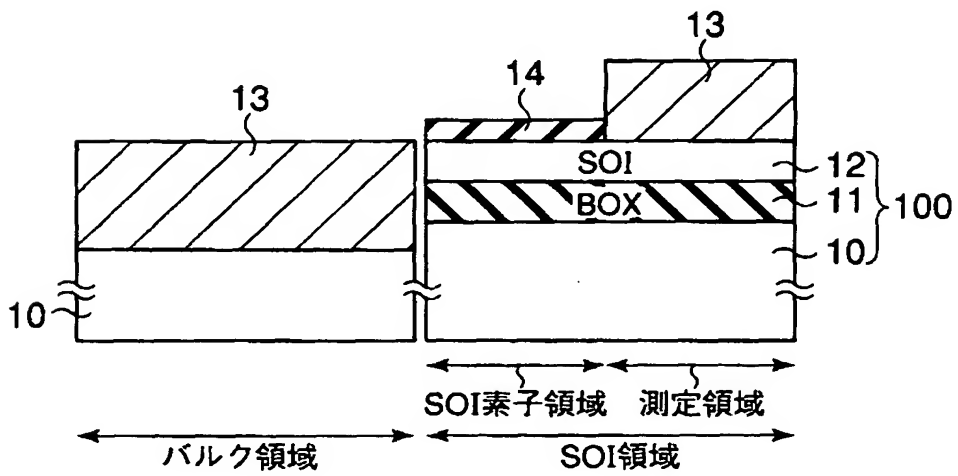
【図16】



【図17】

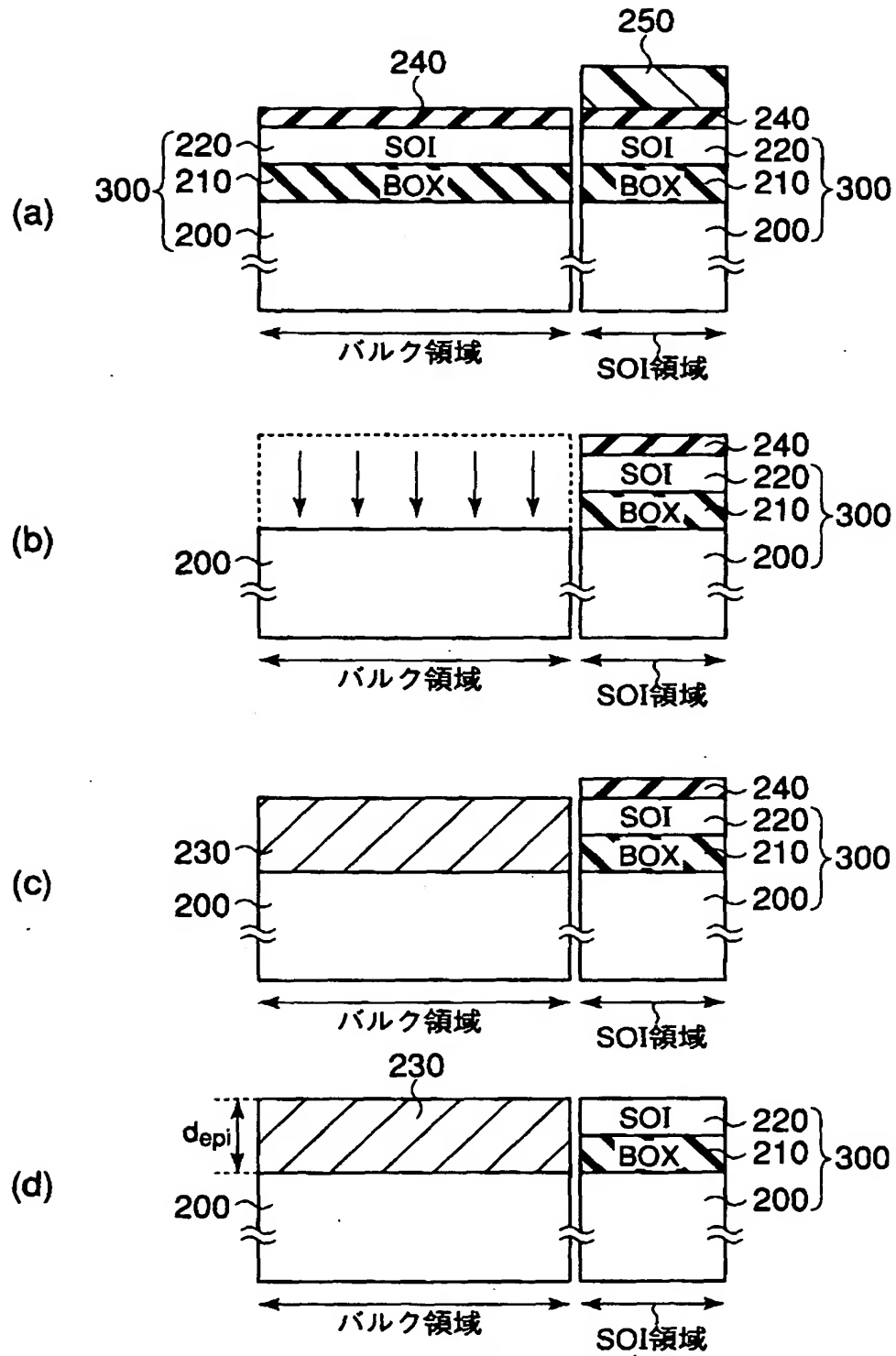


(a)



(b)

【図18】



【書類名】 要約書

【要約】

【課題】 膜厚測定を簡易化出来る半導体装置及びその製造方法を提供すること

。

【解決手段】 半導体基板10の第1領域に、設けられた第1の半導体層13と、半導体基板10の第2領域上に、絶縁膜11を介在して設けられた第2の半導体層12と、半導体基板10の第3領域上に、絶縁膜11及び第2の半導体層12を介在して設けられた第3の半導体層13とを備え、第3領域内の第3の半導体層13の上面の高さは第2領域内の第2の半導体層12の上面の高さよりも高いことを特徴としている

。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝